

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



⑪ Numéro de publication : 0 480 826 A1

⑫

DEMANDE DE BREVET EUROPEEN

⑫ Numéro de dépôt : 91402691.9

⑤① Int. Cl.⁵ : H04M 3/24

⑫ Date de dépôt : 09.10.91

③① Priorité : 10.10.90 FR 9012502

④③ Date de publication de la demande :
15.04.92 Bulletin 92/16

⑧④ Etats contractants désignés :
DE GB

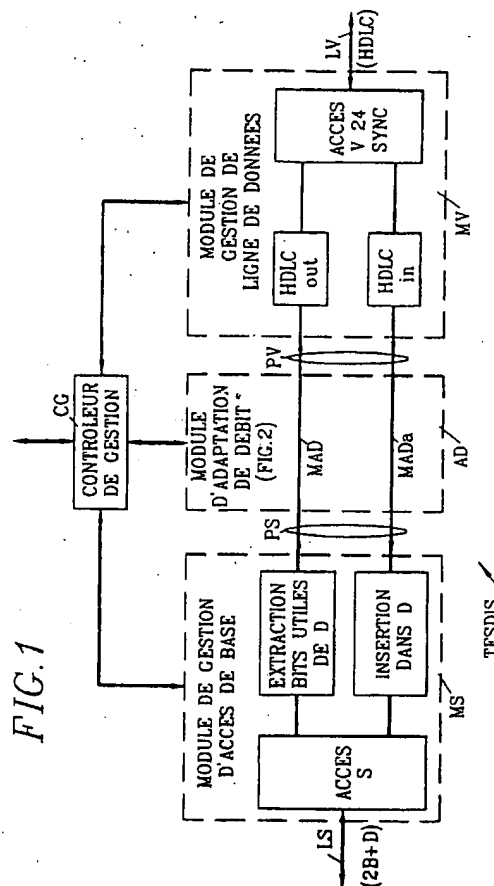
⑦① Demandeur : FRANCE TELECOM
Etablissement autonome de droit Public, 6,
Place d'Alleray
F-75015 Paris (FR)

⑦② Inventeur : Morvan, Michel
Crech Lagadurien
F-22560 Pleumeur Bodou (FR)
Inventeur : Le Stanc, François
Kergos Rospez
F-22300 Lannion (FR)

⑦④ Mandataire : Martinet & Lapoux
BP 405
F-78055 St. Quentin en Yvelines Cédex (FR)

⑤④ Equipement de test à distance du protocole sur l'interface S et T d'un équipement terminal RNIS.

⑤⑦ L'équipement de test teste particulièrement à distance un équipement terminal de données à ligne multiplex d'accès (LS) à un canal de signalisation D au moyen d'un testeur à relier à l'équipement terminal à travers un réseau de transport de données quelconque, RNIS ou analogique. Deux équipements de test sont ainsi connectés à des accès (LV) du réseau reliant le terminal et le testeur. Un équipement de test comprend un module MS pour traiter les bits utiles d'adresse et de commande du canal D de la ligne multiplex (LS), un module (AD) pour adapter le débit du canal D à celui de l'accès de réseau (LV) et réciproquement, et un module (MV) pour insérer les bits utiles du canal D dans les trames HDLC de l'accès de réseau (LV) et inversement pour les extraire. Par exemple, la ligne multiplex correspond à une interface V.24.



EP 0 480 826 A1

par les premiers, respectivement seconds moyens pour insérer.

Comme on le verra dans la suite, un équipement de test selon l'invention peut tester un équipement terminal de type équipement terminal de traitements de données, ou un équipement terminal de type équipement de terminaison de circuit de données.

D'autres avantages et caractéristiques de l'invention apparaîtront plus clairement à la lecture de la description suivante de plusieurs réalisations préférées de l'invention en référence aux dessins annexés correspondants dans lesquels :

- la Fig.1 est un bloc-diagramme schématique d'un équipement bidirectionnel de test à distance selon l'invention ;
- la Fig.2 est un bloc-diagramme détaillé de moyens d'adaptation de débit inclus dans l'équipement de test;
- la Fig.3 est un bloc-diagramme schématique d'une liaison entre un équipement terminal à tester de type ETDD et un testeur au moyen d'équipements selon l'invention, deux variantes de connexion du testeur à une console d'exploitation étant également illustré; et
- la Fig.4 est un bloc-diagramme analogue à la Fig.3 relatif à un équipement terminal à tester de type ETCD.

En référence à la Fig.1 un équipement de test à distance TESDIS selon l'invention comprend principalement :

- un module de gestion d'accès de base MS relié à une ligne numérique multiplex bidirectionnelle de base LS convoyant deux canaux de données B à 64 kbit/s commutés en mode-circuit et un canal de signalisation D à 16 kbit/s, ce dernier étant susceptible de supporter des données à bas débit en mode-paquet.
- un module de gestion de ligne de données MV relié à une ligne numérique bidirectionnelle de données classique LV de type HDLC, ayant un débit de quelques kbit/s, pour convoier des bits utiles de signalisation supportés par le canal D;
- un circuit d'adaptation de débit AD interconnectant bidirectionnellement les modules MS et MV et adaptant les débits différents du canal D et de la liaison LV, et
- un contrôleur de gestion CG à microprocesseur commandant les modules MS et MV et le circuit d'adaptation AD.

Le module de gestion d'accès de base MS gère le niveau physique 1 de l'interface S (plus précisément S0) selon la recommandation Q.920 du CCITT (Comité Consultatif International Télégraphique et Téléphonique), Fascicule VI.10, pages 3 à 18. Comme on le verra dans la suite, le module MS est programmé pour jouer le rôle d'un équipement de terminaison de circuit de données (ETCD) lorsque la ligne de base LS dessert un équipement terminal

d'utilisateur TLà à tester ou un testeur TTb équivalent à un équipement terminal de traitement de données (ETTD); selon une seconde variante, le module MS est programmé pour jouer le rôle d'un ETDD lorsque la liaison de base LS dessert un équipement terminal d'utilisateur TLb à tester ou un testeur TTa équivalent à un ETCD.

Dans un souci de simplification de la terminologie, un "équipement terminal d'utilisateur à tester" est désigné dans la suite par "terminal".

La ligne de base LS est composée par exemple d'un bus passif ayant un débit utile de $(2 \times 64) + 16 = 144$ kbits/s et un débit en ligne de 192 kbit/s.

Le module MS relativement au niveau 1 de l'interface S assure ou reçoit la téléalimentation, et participe à l'activation et la désactivation de la procédure du niveau 1 et à la composition de la trame dans l'interface S.

Le module MS offre, au niveau liaison 2 de l'interface S, une fonction HDLC (High Level Data Link Control : commande de liaison de données à haut niveau) sur le canal de signalisation D. En particulier, dans le module MS sont prévus des moyens de démultiplexage pour extraire les bits du canal D dans la ligne multiplex LS et ne présenter que les bits utiles dans les champs d'adresse à 2 octets et d'commande à 4 octets des trames de canal D à un port d'accès PS d'un bus à 8 bits du circuit d'adaptation de débit AD, des moyens de multiplexage pour insérer des bits utiles de signalisation provenant de la ligne de données LV via le port PS dans les trames à 48 bits de l'interface S à partir des deux octets de la séquence de contrôle de trame FCS du canal D, et d'autres moyens classiques relatifs à des caractéristiques de la trame de l'interface S, telles que vérification et calcul de la redondance cyclique CRC, extraction et formation des bits de verrouillage de trame, etc.

Il est à noter que, selon l'invention, les canaux de données B1 et B2 sont pratiquement non utilisés, et sont alors forcés de transmettre des paires de bits alternés "01....01".

Le module de gestion d'accès de base MS peut être réalisé par exemple à partir de composants inclus dans le module ISAC 2085 de SIEMENS, ou 29C53 d'INTEL.

L'autre module MV de l'équipement TESDIS est conçu selon la recommandation V.24 du CCITT, Fascicule VIII.1, pages 104 à 121. Ce module joue toujours le rôle d'un équipement terminal et de traitement de données (ETTD) au niveau 1 de l'interface V.24.

Le module MV comprend essentiellement des moyens d'émission et de réception de données conformes aux circuits 103 et 104 de la recommandation V.24. Ainsi sont prévus des moyens "HDLC out" recevant les bits utiles de signalisation extraits du canal entrant D par un port d'accès PV du circuit d'adaptation de débit AD pour les insérer dans le

MV, sous la commande du contrôleur de gestion CG. Les unités logiques 3 et 5 sont également asservies en permanence par le contrôleur de gestion CG afin d'éviter tout conflit entre réception-écriture et lecture-transmission d'octet au niveau de l'accès du bus de données BU par la mémoire 1, mais également tout conflit d'accès au bus BU entre la mémoire 1, et l'autre mémoire RAM 1a incluse dans les seconds moyens d'adaptation de débit. En outre, le contrôleur de gestion assure l'activation des unités 3 et 5 et des unités 3a et 5a respectivement pendant les trames de canal D et les trames de la ligne LV, et donc ces unités sont inactives au cours de la réception de canaux par les modules MS et MV respectivement.

A chaque octet utile, c'est-à-dire à chaque octet du champ d'adresse, de commande ou éventuellement d'information dans les trames du canal extrait D, les moyens d'extraction dans le module de gestion d'accès de base MS appliquent une impulsion de détection d'octet DO à l'unité 3 via un moyen de doublement d'octet 6 qui est inopérant pour un débit sélectionné DVI. En réponse à l'impulsion de détection d'octet DO, l'unité 3 incrémente d'une unité le compteur 2, produit une impulsion de lecture RP vers le module MS et déclenche un temporisateur inclus dans l'unité 3. L'octet à écrire en mémoire tampon 1 n'étant pas immédiatement présent dans le bus BU, le temporisateur, par exemple du type à registre à décalage ou à bascule monostable, est réglé afin d'imposer un retard prédéterminé entre l'impulsion de lecture RP et une impulsion de commande d'écriture appliquée par l'unité 3 à l'entrée WC de la mémoire 1. L'octet détecté est ainsi écrit à l'adresse délivrée par le compteur 2 incrémenté via le bus WAD. Les impulsions DO relatives à des octets successifs étant transmises au débit DD/8, les bits utiles du canal D sont bien écrits au débit DD.

Dans les moyens d'adaptation de débit MAD est également prévu un circuit logique ET ayant une entrée recevant les impulsions de détection d'octet DO du module MS et une seconde entrée recevant des impulsions IP "prêt à transmettre" à l'état logique haut des moyens de retransmission "HDLC out" dans le module MV, en correspondance avec les fonctions des circuits 103 et 108 de la recommandation V.24. Le circuit 7 est à l'état ouvert pendant la durée d'un octet utile transmis par le canal D, soit pendant 0,5 ms. La sortie du circuit 7 applique les impulsions IP à la cadence de DVI/8 à l'unité de commande en lecture 5 tant que le module MV est capable de transmettre des données, notamment tant que la longueur maximum du champ d'information de trame V.24 n'est pas atteinte. Suite à une impulsion IP, l'unité 5 incrémente le compteur de lecture 4, produit une impulsion de commande de lecture vers l'entrée RC de la mémoire tampon 1 et déclenche un temporisateur inclus dans l'unité 3. Puis le temporisateur applique une impulsion de lecture WP aux moyens "HDLC out"

du module MV afin qu'un octet lu dans la mémoire 1 et non immédiatement présent dans le bus BU en réponse à une impulsion de commande de lecture soit traité par le module MV, et transmis dans la ligne LV.

La taille des mémoires RAM 1, 10, des compteurs d'écriture 2, 2a, et des compteurs de lecture 4, 4a, est de préférence choisie en dépendance des retards que peuvent subir les octets lors du changement de débit, soit un retard maximum de l'ordre de $(262 \times 8) / 1200 = 1,75$ ms pour des trames de 262 octets au débit minimal de 1,2 kbit/s dans la ligne LV.

Lorsque le débit sélectionné dans la ligne LV est le débit DVS=19,2 kbit/s supérieur au débit DD=16 kbit/s, les premiers moyens d'adaptation de débit MAD introduisent un octet de remplissage dans le champ d'information de la trame de la ligne LV tous les cinq octets utiles consécutifs transmis par le port PS du module MS, en déduction du rapport de débit $19,2/16 = (6 \times 8)/(5 \times 8)$. Un octet de remplissage peut être une copie du dernier octet du groupe de cinq octets consécutifs ou un octet prédéterminé susceptible de ne pas se retrouver dans les octets d'information. Ce remplissage évite tout risque de coupure de transmission synchrone dans la ligne LV tout en ne nécessitant qu'une écriture de cinq octets en mémoire tampon, et donc un retard de $(5 \times 8)/16 = 2,5$ ms.

Selon la réalisation illustrée à la Fig.2, la première variante est envisagée par l'intermédiaire d'un moyen de doublement d'octet 6 inclus dans les premiers moyens d'adaptation de débit MAD. Le moyen de doublement consiste en un compteur modulo-5 qui est débloqué par le contrôleur de gestion CG lorsque le débit DVS est sélectionné, et qui compte les impulsions de détection d'octet d'information DO produites par le module MS. En réponse à chaque impulsion DO, le compteur 6 retransmet les impulsions DO à l'unité de commande en écriture 3 pour écrire un groupe de cinq octets consécutifs de canal D dans la mémoire 1. En réponse à la dernière de cinq impulsions successives DO, le compteur 6 retransmet l'impulsion DO, toujours à la cadence DD/8, pour écrire le cinquième octet du groupe. Puis immédiatement après cette écriture en mémoire, et bien avant la prochaine impulsion DO, le compteur 6 incrémente directement le compteur d'écriture 2 et applique une impulsion de commande d'écriture supplémentaire à l'entrée WC de la mémoire 1. Le cinquième octet est alors écrit à nouveau dans la mémoire 1, et est donc lu successivement deux fois au rythme DVS/8 par l'unité 5.

D'une manière réciproque les seconds moyens d'adaptation de débit MADa comprennent un compteur de suppression d'octet 6a qui reçoit des impulsions DOa du module MV afin de ne pas écrire un sixième octet d'information constituant un octet de remplissage, par blocage momentané de l'unité de commande en écriture 3a, le compteur 6a n'appli-

téléalimentation au terminal, assure la procédure d'activation/désactivation du niv au physique 1 de l'interface S, transmet l'élément binaire "Echo" de la trame 2B + D, et participe à la gestion de la composition des trames vers le réseau RT. Comme déjà dit, au niveau liaison 2 du protocole de canal D, le module MV de l'équipement TESDIS1a gère l'insertion et la désinsertion des fanions dans la liaison synchrone LS1, calcule et vérifie le code de redondance cyclique CRC, et filtre les informations correctes et utiles pour les tests de niveau 2.

Du côté du testeur TTa, le module MS du type ETDD dans l'équipement TESDIS2a reçoit et exploite la téléalimentation fournie par le testeur, est esclave du testeur pour la procédure d'activation/désactivation du niveau physique 1 de l'interface S, exploite le retour de l'élément binaire "Echo" transmis par le testeur, et participe à la gestion de la composition des trames vers le réseau RT. Au niveau liaison 2 du protocole du canal D, le module MV de l'équipement TESDIS2a assure des fonctions analogues à celles du module MV/ETDD dans l'équipement TESDIS1a.

Comme illustré à la Fig.4, selon une seconde variante du procédé de mise en oeuvre d'équipements TESDIS selon l'invention, un terminal TLb à tester comporte un équipement compatible RNIS du type équipement de terminaison de circuit de données ETCD. Dans ce cas, le terminal TLb est relié au module MV, équivalent à un ETDD, d'un premier équipement de test à distance TESDIS1b via la ligne LS1. Le terminal TLb est alors testé par un testeur TTb offrant un équipement d'extrémité du type ETDD qui est relié au module MV, équivalent à un ETCD, d'un second équipement de test à distance TESDIS2b via la ligne LS2.

Dans la Fig.4, on retrouve une liaison bidirectionnelle entre les modules MV de type ETDD dans les équipements TESDIS1b et TESDIS2b analogue à celle déjà commentée entre les équipements TESDIS1a et TESDIS2a en référence à la Fig.3, à savoir une liaison à travers l'adaptateur AT1, le réseau de transport RT et l'adaptateur AT2. De même que selon la première variante, le testeur TTb est relié à la console d'exploitation CE soit à travers l'adaptateur ATD1, le réseau RTD et l'adaptateur ATD2, soit directement par une ligne d'interface V.24.

L'établissement d'une communication pour des tests entre les équipements TESDIS1b et TESDIS2b est identique à celle décrite précédemment entre les équipements TESDIS1a et TESDIS2a.

Les fonctionnements du module MS du type ETDD dans l'équipement TESDIS1b et du module MS du type ETCD dans l'équipement TESDIS2b selon cette seconde variante sont respectivement analogues à ceux des modules MS dans les équipements TESDIS2a et TESDIS1a selon la première variante.

Enfin, on notera qu'un équipement TESDIS selon l'invention au lieu d'être relié par une simple liaison LS

à interface S à un terminal à tester ou à un testeur, peut être relié par une liaison à interface T à une régie numérique ou un petit réseau local, qui dessert quelques terminaux dont certains sont à tester, par l'intermédiaire d'une ou plusieurs liaisons à interface S. Il est rappelé que l'interface T est fonctionnellement identique à l'interface S au niveau de la structure de trame et des protocoles de niveau liaison et de niveau réseau et qu'elle en diffère par son caractère point-à-point alors que l'interface S est constitué en bus distribué passif.

Revendications

1- Equipement bidirectionnel (TESDIS) interconnectant une ligne numérique multiplex bidirectionnelle (LS) convoyant au moins un canal de données (B) et un canal de signalisation (D) et une ligne numérique bidirectionnelle de trames de données synchrones (LV) ayant un débit prédéterminé (DV) différent du débit (DD) du canal de signalisation, comprenant :

- des premiers moyens (MS) pour extraire un canal de signalisation (D) entrant par la ligne multiplex (LS),

- des premiers moyens d'adaptation de débit (MAD) pour changer un débit de bits du canal de signalisation entrant (D) en ledit débit (DV) de la ligne de données (LV), et

- des seconds moyens d'adaptation de débit (MADa) pour changer le débit de bits dans les trames entrantes en ledit débit (DD) du canal de signalisation (D),

caractérisé

en ce que les premiers moyens pour extraire (MS) extraient des bits utiles prédéterminés du canal de signalisation (D) extrait, et

en ce que l'équipement comprend, en outre,

- des premiers moyens (MV) pour insérer les bits utiles du canal de signalisation (D) transmis par les premiers moyens d'adaptation (MAD), dans le champ d'information de trames sortantes dans la ligne de données (LV),

- des seconds moyens (MV) recevant des trames entrantes par la ligne de données (LV) pour extraire de leur champ d'information, les bits utiles au débit (DV) de la ligne de données à destination du canal de signalisation sortant (D) de la ligne multiplex (LS), et

- des seconds moyens (MS) pour insérer les bits utiles transmis par les seconds moyens d'adaptation (MADa), dans des trames transmises dans le canal de signalisation sortant (D) de la ligne multiplex (LS).

2- Equipement conforme à la revendication 1, caractérisé en ce que les premiers, respectivement seconds moyens d'adaptation de débit (MAD; MADa) comprennent :

FIG.1

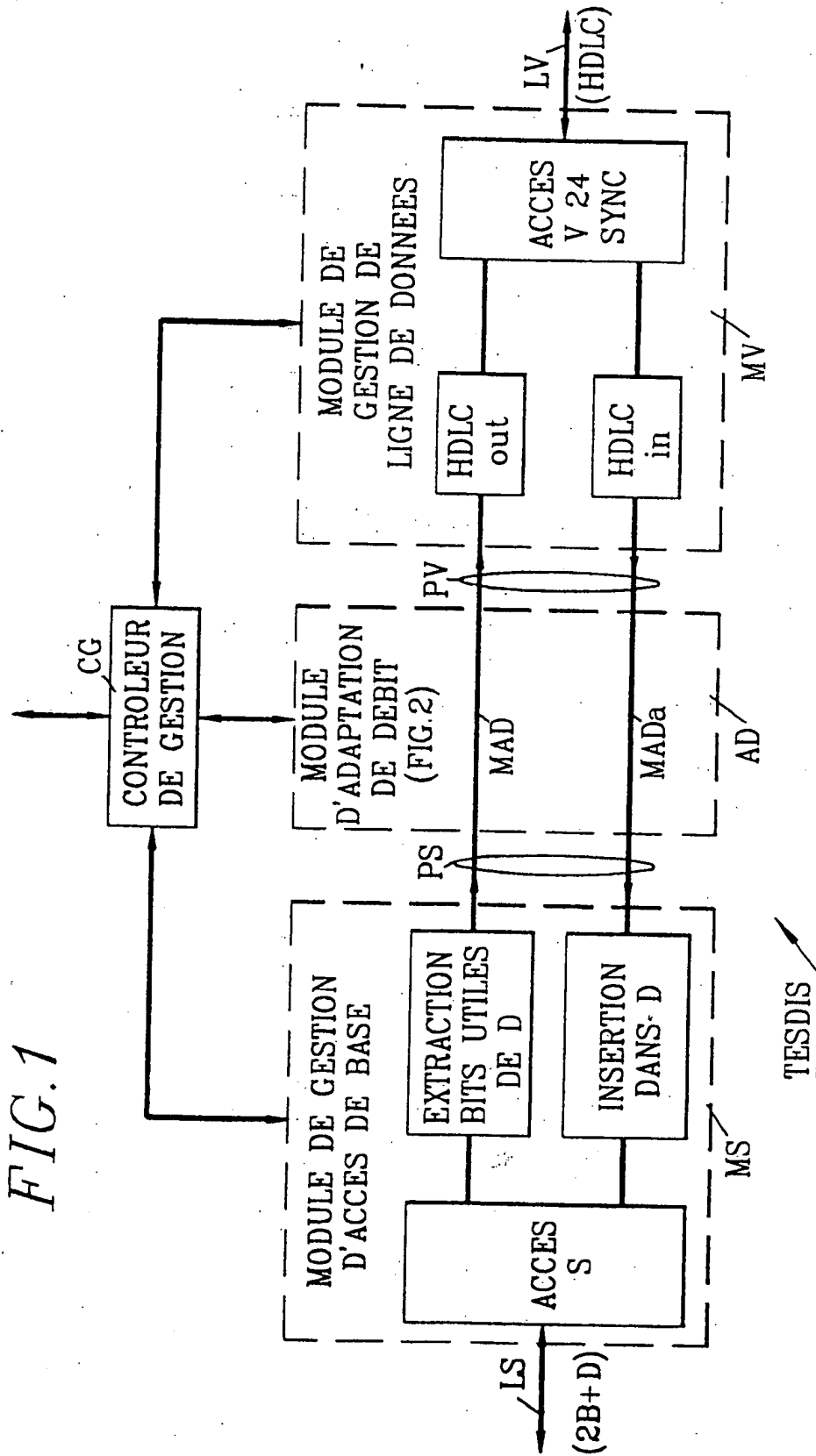
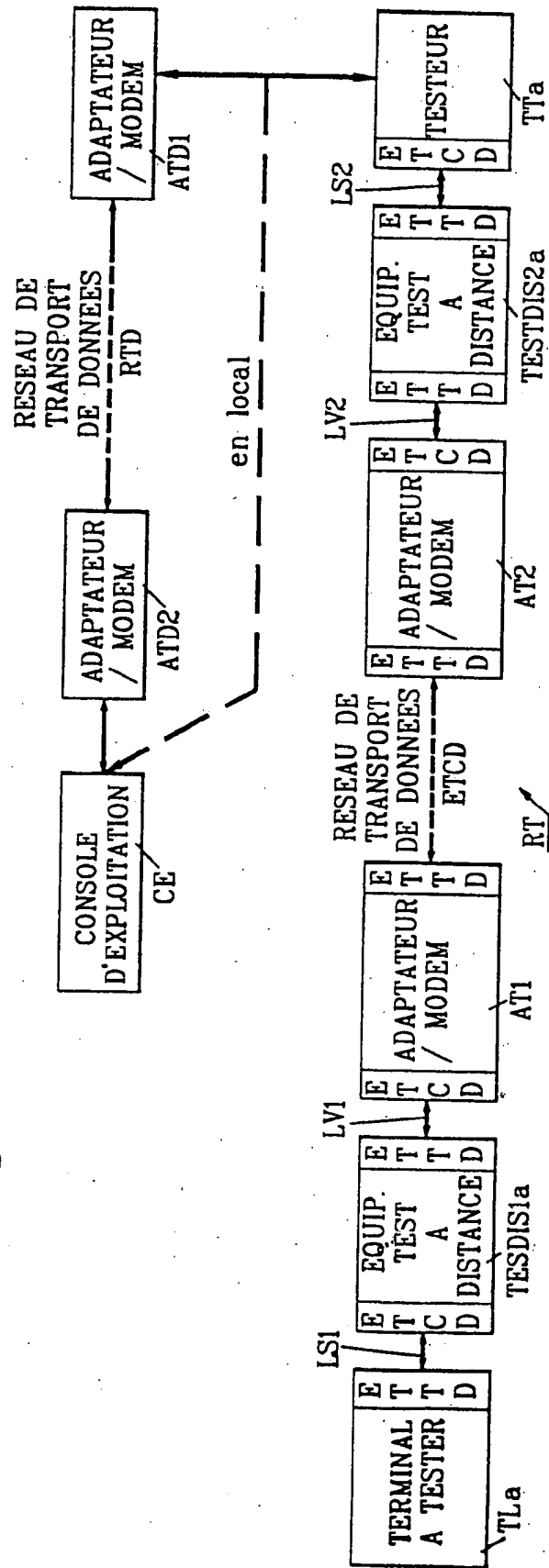


FIG. 3





Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 91 40 2691

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
X	US-A-4 884 269 (DUNCANSON ET AL) * colonne 2, ligne 5 - colonne 3, ligne 22; figures 1,2 * * colonne 4, ligne 10 - ligne 43 * * colonne 13, ligne 12 - ligne 24 * ---	1-6	H04M3/24
A	DE-A-3 808 829 (DTK) * colonne 1, ligne 36 - ligne 50 * ---	1,5,6	
A	EP-A-0 044 098 (STAAT DER NEDERLANDEN) * abrégé * ---	1	
A	IBM TECHNICAL DISCLOSURE BULLETIN vol. 26, no. 7A, Décembre 1983, NEW-YORK ; pages 3258 - 3259; G. EPENOV ET AL: 'DATA MULTIPLEXING IN MODEMS' * le document en entier * -----	1,2	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
			H04L H04M
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 06 JANVIER 1992	Examineur BISCHOF J. L. A.
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>			

EPO FORM 1501 (01.91) (P0402)